



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0034191
Application Number

출원 년 월 일 : 2003년 05월 28일
Date of Application MAY 28, 2003

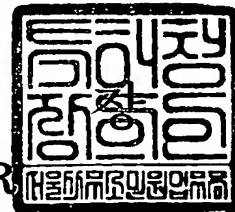
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.05.28
【발명의 명칭】	자계검출소자 및 그 제조방법
【발명의 영문명칭】	MAGNETIC FIELD SENSING DEVICE AND METHOD FOR FABRICATING THEREOF
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정홍식
【대리인코드】	9-1998-000543-3
【포괄위임등록번호】	2003-002208-1
【발명자】	
【성명의 국문표기】	심동식
【성명의 영문표기】	SHIM,DONG SIK
【주민등록번호】	730202-1769911
【우편번호】	134-030
【주소】	서울특별시 강동구 성내동 삼성아파트 104동 211호
【국적】	KR
【발명자】	
【성명의 국문표기】	나경원
【성명의 영문표기】	NA,KYUNG WON
【주민등록번호】	651215-1336936
【우편번호】	449-845
【주소】	경기도 용인시 수지읍 죽전리 현대1차아파트 101-201
【국적】	KR
【발명자】	
【성명의 국문표기】	최상언
【성명의 영문표기】	CHOI,SANG ON
【주민등록번호】	660606-1783411

【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 1046-1 삼성APT 436동 904호
【국적】	KR
【발명자】	
【성명의 국문표기】	박해석
【성명의 영문표기】	PARK, HAE SEOK
【주민등록번호】	710319-1019026
【우편번호】	152-090
【주소】	서울특별시 구로구 개봉동 476 한마을아파트 115-2503
【국적】	KR
【발명자】	
【성명의 국문표기】	황준식
【성명의 영문표기】	HWANG, JUN SIK
【주민등록번호】	711004-1400716
【우편번호】	447-060
【주소】	경기도 오산시 원동 대원APT 109동 206호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정홍식 (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	12 항 493,000 원
【합계】	522,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

코일이 형성된 반도체 기판의 평탄화가 용이하며, 또한 평탄화 물질의 두께가 얇아 제조 공정이 간소화될 뿐만 아니라 박형으로 구성할 수 있는 자계검출소자 및 그 제조방법을 개시한다. 개시된 본 발명에 의한 자계검출소자는, 반도체 기판; 상기 반도체 기판의 상부에 형성된 연자성코어; 상기 연자성코어의 상하부측에 위치하도록 형성된 절연막; 및 상기 연자성코어와 상기 절연막을 사이에 두고 연자성코어를 에워 싸는 형태로 형성되며, 각각 다수의 코일선을 구비하는 제 1 및 제 2 코일;을 포함하며, 상기 반도체 기판에는 소정깊이의 웰이 형성되고, 상기 웰 내에 상기 제 1 코일을 이루는 코일선들이 배치된 것을 특징으로 한다. 본 발명에 의하면, 제 1 코일이 반도체 기판의 상부로 돌출되지 않고 웰 내에 위치되기 때문에, 반도체 기판의 평탄화가 용이할 뿐만 아니라 평탄화 물질의 두께를 얇게 할 수 있다. 따라서, 평탄도 향상으로 인한 연자성코어의 성능 향상을 꾀할 수 있고, 얇은 절연막의 구현으로 인한 관통홀 형성을 위한 에칭공정의 간소화를 도모할 수 있으며, 또한, 상기 에칭공정의 간소화로 코일간의 피치를 줄일 수 있어 센서의 감도를 높일 수 있다.

【대표도】

도 3

【색인어】

자계검출소자, 마그네틱, 자계, 솔레노이드, 씨드막, 웰, 반도체

【명세서】**【발명의 명칭】**

자계검출소자 및 그 제조방법{MAGNETIC FIELD SENSING DEVICE AND METHOD FOR FABRICATING THEREOF}

【도면의 간단한 설명】

도 1a 내지 도 1h는 일반적인 자계검출소자 및 그 제조방법을 설명하기 위하여 나타낸 단면도,

도 2a 내지 도 2h는 본 발명의 일 실시예에 의한 자계검출소자 및 그 제조방법을 설명하기 위하여 나타낸 단면도, 그리고,

도 3a 내지 도 3h는 각각 도 2a 내지 2h의 III-III선을 따라 취한 단면도이다.

< 도면의 주요부분에 대한 부호의 설명 >

10;반도체 기판 11;웰

20;연자성코어 30,40;제 1 및 제 2 절연막

50,60;제 1 및 제 2 코일 70,80;제 1 및 제 2 도금층

70a,80a;도금층의 홈 90,90';관통홀

100;제 3 코일

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 기판에 집적되는 미세 자계검출소자 및 그 제조방법에 관한 것이다.

- <11> 연자성체와 코일을 이용한 자기 센서는 오래 전부터 감도가 높은 자기 센서로 이용되고 있다. 이러한 자기 센서는, 보통 연자성 코어에 코일을 감아서 제작하며, 또 측정 자계에 비례하는 자계를 얻기 위한 전자회로를 필요로 한다. 이러한 자기 센서의 자계검출소자를 연자성 박막 코어와 평면 박막 코일로 구현하는 방법도 고안되어 있다.
- <12> 도 1a 내지 1h는 반도체 기판에 집적되는 일반적인 자계검출소자 및 그 제조방법을 설명하기 위하여 나타낸 도면으로서, 이를 참고하여 일반적인 자계검출소자의 구조 및 그 제조방법을 살펴보면 다음과 같다.
- <13> 도 1h에 도시된 바와 같이, 일반적인 자계검출소자는 반도체 기판(1), 연자성코어(2), 제 1 및 제 2 절연막(3)(4), 그리고, 상기 연자성코어(2)를 에워 싸도록 형성된 다수의 코일선을 구비하는 제 1 및 제 2 코일(5)(6)을 포함한다. 여기서, 상기 제 1 코일(5)은 연자성코어(2)의 하부측에, 그리고, 제 2 코일(6)은 연자성코어(2)의 상부측에 위치하며, 이들 제 1 및 제 2 코일(5)(6)은 예컨대, 그 양측에서 관통홀(9)(9')(도 1f 참조)을 통해 연결된다.
- <14> 상기와 같은 일반적인 자계검출소자의 제조방법은, 크게 반도체 기판(1)을 준비하는 단계, 제 1 코일(5)을 형성하는 단계, 연자성코어(2)을 형성하는 단계 및 제 2 코일(6)을 형성하는 단계로 이루어지는 바, 이를 구체적으로 살펴보면 다음과 같다.
- <15> 먼저, 도 1a에 도시된 바와 같이, 준비된 반도체 기판(1)에 소정 높이의 포토레지스트를 도포하고, 노광과 현상과정을 통해 다수의 홈(7a)을 갖는 제 1 도금틀(7)을 형성한다. 그런 다음 전기도금 등의 공정을 이용하여 상기 도금틀(7)의 홈(7a)에 금속을 채워 넣어 코일선을 형성하고 도금틀(7)을 제거한다. 여기서, 상기 포토레지스트를 도포하기 전에 반도체 기판(1)의 상면에 도금을 위한 시드막을 형성한다. 상기와 같은 과정을 통해 도 2b에 도시된 바와 같이, 제 1 코일(5)이 반도체 기판(1) 위에 형성된다.

- <16> 그런 다음, 제 1 코일(5)이 형성된 반도체 기판(1)에 도 1c에서 보는 바와 같이, 제 1 절연막(3)을 형성한다. 그리고, 제 1 절연막(3)의 상면에 연자성체막을 적층하고 패턴 형성과 에칭을 통해 도 1d에 도시된 바와 같은 연자성코어(2)를 형성한다.
- <17> 이어서, 연자성코어(2)의 상부에 제 2 절연막(4)을 형성하고(도 1e 참조), 이 제 2 절연막(4)의 상면에 도 1f 및 1g에 도시된 바와 같이, 제 2 코일(6)을 형성하기 위한 제 2 도금틀(8)을 형성한다. 이를 구체적으로 보면, 우선, 상기 제 2 절연막(4)에 제 1 코일(5)의 양단부와 연통되는 관통홀(9)(9')을 형성하고 그 위에 시드막(도시되지 않음)을 형성한다. 그런 다음 포토레지스트를 도포하고 노광 및 현상과정을 통해 1f에서 보는 바와 같은 제 2 도금틀(8)을 제 2 절연막(4) 위에 형성한다.
- <18> 상기과 같이 제 2 도금틀(8)을 형성한 다음에는 전기도금 등의 공정을 통하여 상기 제 2 도금틀(8)의 홈(8a)에 금속을 채워 넣어 다수의 코일선을 형성하고 도금틀(8)을 제거하여 제 2 코일(6)을 형성한다.
- <19> 상기과 같은 공정을 통하여 최종적으로 도 1h에 도시된 바와 같은 자계검출소자가 제조된다.
- <20> 상기한 바와 같은 자계검출소자에서 연자성코어(2)의 성능은 코어를 지지하는 기판(1)이 평탄하지 않을 경우 매우 좋지 않다. 일반적인 자계검출소자는 제 1 코일(5)이 반도체 기판(1) 위로 돌출되는 구조이기 때문에, 절연 및 평탄화를 위한 절연막(3)(4)의 두께가 두꺼워지는 단점이 있다. 절연막(3)(4)의 두께가 두꺼워지면 소자의 전체적인 두께가 두꺼워질 뿐만 아니라 제 1 코일(5)과 제 2 코일(6)을 연결하기 위한 관통홀(9)(9')을 형성하는 공정(에칭)이 어려워지며, 또한, 센서의 성능에 영향을 끼치는 코일선간의 피치가 커짐으로써 바람직하지 않다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명은 상기와 같은 점을 감안하여 안출한 것으로, 코일이 형성된 반도체 기판의 평탄화가 용이하며, 또한 평탄화 물질의 두께가 얇아 공정이 간소화될 뿐만 아니라 박형으로 구성할 수 있는 자계검출소자 및 그 제조방법을 제공하는데 목적이 있다.

【발명의 구성 및 작용】

<22> 상기 목적을 달성하기 위한 본 발명에 의한 자계검출소자는, 반도체 기판; 상기 반도체 기판의 상부에 형성된 연자성코어; 상기 연자성코어의 상하부측에 위치하도록 형성된 절연막; 및 상기 연자성코어와 상기 절연막을 사이에 두고 연자성코어를 에워 싸는 형태로 형성되며, 각각 다수의 코일선을 구비하는 제 1 및 제 2 코일;을 포함하며, 상기 반도체 기판에는 소정깊이의 웰이 형성되고, 상기 웰 내에 상기 제 1 코일을 이루는 코일선들이 배치된 것을 특징으로 한다.

<23> 본 발명의 바람직한 실시예에 의하면, 상기 코일선들의 높이와 상기 웰의 깊이는 같게 형성된다.

<24> 또한, 상기 제 1 코일은 상기 연자성코어의 하부에, 그리고, 상기 제 2 코일은 상기 연자성코어의 상부에 위치되며, 상기 제 1 코일 및 제 2 코일의 각 코일선들은 상기 연자성코어 양측의 상기 절연막을 관통하여 형성된 관통홀에 채워진 제 3 코일에 의해 연결된다.

<25> 그리고, 상기 웰은 그 상부로부터 바닥면으로 갈수록 점점 내측으로 경사진 경사 측벽을 가지는 것이 바람직하다.

- <26> 이와 같은 본 발명에 의하면, 제 1 코일이 반도체 기판의 상부로 돌출되지 않고 웰 내에 위치되기 때문에, 반도체 기판이 평탄화가 용이할 뿐만 아니라 평탄화 물질의 두께를 얇게 할 수 있다.
- <27> 본 발명의 목적을 달성하기 위한 자계검출소자 제조방법은, 반도체 기판의 상부에 제 1 코일을 형성하고, 상기 제 1 코일의 상부에 절연막을 개재하여 연자성코어를 형성한 후, 상기 연자성코어의 상부에 또 다른 절연막을 개재하여 제 2 코일을 형성하는 자계검출소자 제조방법에 있어서, 상기 반도체 기판에 소정깊이의 웰을 형성한 후 이 웰 내에 상기 제 1 코일을 반도체 기판의 표면으로 돌출되지 않도록 배치시키는 것을 특징으로 한다.
- <28> 본 발명의 바람직한 실시예에 의하면, 자계검출소자 제조방법은, 반도체 기판을 준비하는 단계; 상기 반도체 기판에 소정깊이의 웰을 형성하는 단계; 상기 반도체 기판의 웰 내에 제 1 코일을 형성하는 단계; 상기 웰을 포함하는 반도체 기판의 상부에 제 1 절연막을 형성하는 단계; 상기 제 1 절연막의 상부에 연자성코어를 형성하는 단계; 상기 연자성코어를 포함하는 제 1 절연막의 상부에 제 2 절연막을 형성하는 단계; 및 상기 제 2 절연막의 상부에 상기 제 1 코일과 대응되는 제 2 코일을 형성하는 단계;를 포함한다.
- <29> 상기 웰은 에칭공정을 통하여 그 상부에서 바닥면으로 갈수록 점점 내측으로 경사진 경사측벽을 가지도록 형성된다.
- <30> 그리고, 상기 제 1 코일을 형성하는 단계는, 상기 웰의 표면에 시드막을 형성하는 단계; 상기 시드막 위에 다수의 홈을 가지는 제 1 도금틀을 형성하는 단계; 상기 제 1 도금틀의 각 홈에 금속을 채워 넣어 코일선을 형성하는 단계; 및 상기 시드막 및 도금틀을 제거하는 단계;를 포함한다.

- <31> 상기 제 2 코일을 형성하는 단계는, 상기 연자성코어 양측의 상기 제 1 및 제 2 절연막을 에칭하여 관통홀을 형성하는 단계; 상기 관통홀이 형성된 제 2 절연막의 상면에 시드막을 형성하는 단계; 상기 시드막 위에 다수의 홈을 가지는 제 2 도금틀을 형성하는 단계; 상기 제 2 도금틀의 각 홈에 금속을 채워 넣어 코일선을 형성함과 아울러 상기 관통홀을 통하여 상기 제 1 코일과 제 2 코일을 연결시키는 단계; 및 상기 시드막 및 상기 제 2 도금틀을 제거하는 단계;를 포함한다.
- <32> 한편, 본 발명에 의한 자계검출소자 제조방법은, 제 2 코일을 형성한 후 제 2 코일을 포함하는 구조물의 보호를 위한 보호막을 형성하는 단계를 더 포함할 수 있다.
- <33> 이하, 본 발명의 바람직한 실시예를 첨부도면에 의거하여 설명한다.
- <34> 첨부한 도 2a 내지 2h는 본 발명의 바람직한 실시예에 의한 자계검출소자 및 그 제조방법을 설명하기 위한 단면도들이고, 도 3a 내지 3h는 각각 상기 도 2a 내지 2h의 III-III선을 따라 취한 단면도들이다.
- <35> 도 2h 및 3h에 도시된 바와 같이, 본 발명에 의한 자계검출소자는, 반도체 기판(10), 상기 반도체 기판(10)의 상부에 형성된 연자성코어(20), 상기 연자성코어(20)의 상하부측에 위치하도록 형성된 제 1 및 제 2 절연막(30)(40) 및 상기 연자성코어(20)와 상기 절연막(30)(40)을 사이에 두고 연자성코어(20)를 에워 싸는 형태로 형성되며, 각각 다수의 코일선(51,52...)(61,62...)(이하, 51과 61로 총칭한다)을 구비하는 제 1 및 제 2 코일(50)(60)을 포함한다.
- <36> 상기 제 1 코일(50)은 상기 연자성코어(20)의 하부측에 위치하고, 상기 제 2 코일(60)은 상기 연자성코어(20)의 상부측에 위치한다. 특히 상기 반도체 기판(10)은 본 발명의 특징에

따라 그 표면으로부터 소정깊이(D)로 함몰되는 대략 장방형의 웰(Well)(11)을 구비하며, 이 웰(11) 내에 상기 제 1 코일(50)이 반도체 기판(10)의 표면으로 돌출되지 않도록 배치된다.

<37> 상기 웰(11) 내에 형성되는 제 1 코일(50)을 이루는 다수의 코일선(51)의 높이(H)는 상기 웰(11)의 깊이(D)와 같다. 따라서, 코일선(51)들의 상면은 반도체 기판(10)의 상면과 동일 평면을 유지한다.

<38> 상기한 바와 같이 제 1 코일(50)이 종래의 경우와는 달리 반도체 기판(10)의 표면으로 돌출되지 않고 반도체 기판(10)의 웰(11) 내에 반도체 기판(10)의 상면과 동일 평면으로 형성되기 때문에, 제 1 코일(50)이 형성된 반도체 기판(10)을 평탄화시키는 것이 용이하며, 또한, 평탄화 물질, 예컨대, 절연막(30)(40)의 두께를 아주 얇게 가져갈 수 있다.

<39> 따라서, 종래 반도체 기판이 평탄하지 않음으로써 발생되었던 연자성코어(20)의 성능 저하 및 절연막의 두께가 두꺼움으로써 발생되었던 에칭 공정의 어려움 등이 해소되고, 코일간의 피치가 미세한 고감도의 자계검출소자의 제조가 가능하게 된다.

<40> 한편, 상기 대략 장방형의 웰(11)은 그 상부로부터 바닥면으로 갈수록 점점 내측으로 경사진 경사측벽을 가지도록 형성되며, 일반적으로 알려진 각종의 에칭기술에 의해 형성될 수 있다.

<41> 그리고, 상기한 제 1 및 제 2 코일(50)(60)은 도 3f 및 3g에 도시된 바와 같이, 상기 연자성코어(20) 양측의 제 1 및 제 2 절연막(30)(40)을 관통하여 형성되는 관통홀(90)(90')에 상기 제 2 코일(60) 형성시 충전되는 제 3 코일(100)에 의해 연결된다.

<42> 이하, 상기와 같은 본 발명에 의한 자계검출소자의 제조방법에 대하여 설명한다.

- <43> 도 2a 및 3a는 웰(11)이 형성된 반도체 기판(10)의 상면에 제 1 코일(50)을 형성하기 위한 제 1 도금틀(70)을 형성한 상태를 나타낸 단면도이다. 도면에는 구체적으로 도시되지 않았으나, 상기 웰(11)의 표면에는 도금을 위한 시드막이 형성되어 있으며, 상기 제 1 도금틀(70)은 상기 시드막 위에 포토레지스트를 두껍게 도포한 후 노광 및 현상과정을 통해 형성된다. 도면에서 부호 70a는 제 1 도금틀의 홈이다.
- <44> 상기와 같은 제 1 도금틀(70)의 각 홈(70a)에 전기 도금법 등으로 금속물질을 채워 넣어 코일선(51)을 형성한 후, 상기 시드막과 상기 제 1 도금틀을 제거하면, 도 2b 및 3b에 도시한 바와 같은 제 1 코일(50)이 반도체 기판(10)의 웰(11)에 형성된다. 이 때, 상기 제 1 코일(50)은 반도체 기판(10)의 표면으로 돌출되지 않고 반도체 기판(10)과 동일 평면으로 형성된다.
- <45> 이후, 도 2c 및 3c에서 보는 바와 같이, 제 1 코일(50)이 형성된 반도체 기판(10)의 상면에 절연물질을 도포함으로써 평탄화 및 절연을 위한 제 1 절연막(30)을 형성한다. 이 때, 제 1 코일(50)이 반도체 기판(10)의 표면으로 돌출되지 않고 반도체 기판과 동일 평면을 유지하기 때문에, 평탄화가 용이하게 이루어질 뿐만 아니라 절연막(30)을 아주 얇게 가져갈 수 있다.
- <46> 제 1 절연막(30)을 형성한 다음에는 도 2d 및 3d에 도시된 바와 같이, 상기 제 1 절연막(30) 위에 연자성체막을 적층하고 패턴 형성과 에칭을 통해 연자성코어(20)를 형성한다.
- <47> 그런 다음, 상기 연자성코어(20)를 포함하는 제 1 절연막(30)의 상부에 절연물질을 소정 두께로 도포하여 도 2e 및 3e에 도시된 바와 같은 제 2 절연막(40)을 형성한다.
- <48> 이후, 상기 제 2 절연막(40)의 연자성코어(20)의 양측에 해당하는 부분을 에칭하여 도 3f에 도시된 바와 같은 관통홀(90)(90')을 형성하고, 제 2 코일(60) 형성을 위한 공정을 진행

한다. 이 때, 상기 관통홀(90)(90') 형성을 위한 에칭시 본 발명의 특징에 따라 제 1 및 제 2 절연막(30)(40)의 두께가 매우 얇게 형성되기 때문에, 에칭 공정이 간단하게 이루어질 수 있으며, 이와 같은 공정의 간소화로 코일간의 피치를 미세하게 가져갈 수 있기 때문에, 고감도의 센서 제조가 가능하게 된다.

<49> 상기한 제 2 코일(60)의 형성은, 먼저, 관통홀(90)(90')이 형성된 제 2 절연막(40)의 상면에 시드막(도시되지 않음)을 형성하고, 이 시드막 위에 포토레지스트를 도포한 후 노광 및 현상과정을 통하여 도 2f 및 3f에 도시된 바와 같은 다수의 홈(80a)을 가지는 제 2 도금틀(80)을 형성한다.

<50> 상기와 같은 제 2 도금틀(80)을 형성한 다음에는, 도 2g 및 3g에 도시된 바와 같이, 도금틀(80)의 홈(80a)에 전기도금법 등으로 금속을 채워 넣어 코일선(61)을 형성하는데, 이 때, 금속이 상기 관통홀(90)(90')에도 충전됨으로써 하부측의 제 1 코일(50)과 상부측의 제 2 코일(60)은 상기 관통홀(90)(90')에 충전되는 제 3 코일(100)에 의해 연결되며, 따라서, 상기 코일(50)(60)은 상기 연자성코어(20)을 에워 싸는 형태로 구현된다.

<51> 코일선(61)을 형성한 다음, 상기 시드막과 제 2 도금틀(80)을 제거하면 제 2 코일(60)이 노출됨으로써 도 2h 및 3h에 도시된 바와 같은 박형의 자계검출소자가 제조되게 된다. 여기서, 본 발명에 의해 제조된 자계검출소자는, 반도체 기판(10)에 형성된 웰(11)의 깊이에 해당하는 만큼의 소자 전체 높이를 줄일 수 있어, 박형의 구조가 가능하게 된다.

<52> 한편, 상기 제 2 코일(60)이 형성된 반도체 기판(10)의 상부에는 이에 형성된 구조물의 보호를 위한 보호막이 형성될 수 있다.

【발명의 효과】

- <53> 이상에서 설명한 바와 같은 본 발명에 의하면, 제 1 코일이 반도체 기판의 상부로 돌출되지 않고 웰 내에 위치되기 때문에, 반도체 기판이 평탄화가 용이할 뿐만 아니라 평탄화 물질의 두께를 얇게 할 수 있다. 따라서, 평탄도 향상으로 인한 연자성코어의 성능 향상을 꾀할 수 있으며, 얇은 절연막의 구현으로 인한 관통홀 형성을 위한 에칭공정의 간소화를 도모할 수 있고, 또한, 상기 에칭공정의 간소화로 코일간의 피치를 줄일 수 있어 센서의 감도를 높일 수 있다.
- <54> 즉, 본 발명에 의하면, 자계검출소자의 제조가 간소화 됨으로써 생산성 향상을 꾀할 수 있을 뿐만 아니라 박형이면서도 감도가 좋은 소자를 제조할 수 있다.
- <55> 이상, 본 발명을 본 발명의 원리를 예시하기 위한 바람직한 실시예와 관련하여 도시하고 또한 설명하였으나, 본 발명은 그와 같이 도시되고 설명된 그대로의 구성 및 작용으로 한정되는 것은 아니다. 오히려 첨부된 특허청구범위의 사상 및 범주를 일탈함이 없이 본 발명에 대한 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서, 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로 간주되어야 할 것이다.

【특허청구범위】**【청구항 1】**

반도체 기판; 상기 반도체 기판의 상부에 형성된 연자성코어; 상기 연자성코어의 상하부 측에 위치하도록 형성된 절연막; 및 상기 연자성코어와 상기 절연막을 사이에 두고 연자성코어를 에워 싸는 형태로 형성되며, 각각 다수의 코일선을 구비하는 제 1 및 제 2 코일;을 포함하는 자계검출소자에 있어서,

상기 반도체 기판에는 소정깊이의 웰이 형성되고, 상기 웰 내에 상기 제 1 코일을 이루는 코일선들이 배치된 것을 특징으로 하는 자계검출소자.

【청구항 2】

제 1 항에 있어서,

상기 코일선들의 높이와 상기 웰의 깊이가 같게 형성된 것을 특징으로 하는 자계검출소자.

【청구항 3】

제 1 항에 있어서,

상기 제 1 코일은 상기 연자성코어의 하부에, 그리고, 상기 제 2 코일은 상기 연자성코어의 상부에 위치되며, 상기 제 1 코일 및 제 2 코일의 각 코일선들은 상기 연자성코어 양측의 상기 절연막을 관통하여 형성된 관통홀에 채워진 제 3 코일에 의해 연결된 것을 특징으로 하는 자계검출소자.

【청구항 4】

제 1 항에 있어서,

상기 웰은 그 상부로부터 바닥면으로 갈수록 점점 내측으로 경사진 경사 측벽을 가지는 것을 특징으로 하는 자계검출소자.

【청구항 5】

반도체 기판의 상부에 제 1 코일을 형성하고, 상기 제 1 코일의 상부에 절연막을 개재하여 연자성코어를 형성한 후, 상기 연자성코어의 상부에 또 다른 절연막을 개재하여 제 2 코일을 형성하는 자계검출소자 제조방법에 있어서,

상기 반도체 기판에 소정깊이의 웰을 형성한 후 이 웰 내에 상기 제 1 코일을 상기 반도체 기판의 표면으로 돌출되지 않도록 배치시키는 것을 특징으로 하는 자계검출소자 제조방법.

【청구항 6】

- a) 반도체 기판을 준비하는 단계;
- b) 상기 반도체 기판에 소정깊이의 웰을 형성하는 단계;
- c) 상기 반도체 기판의 웰 내에 다수의 코일선으로 이루어지는 제 1 코일을 형성하는 단계;
- d) 상기 웰을 포함하는 반도체 기판의 상부에 제 1 절연막을 형성하는 단계;
- e) 상기 제 1 절연막의 상부에 연자성코어를 형성하는 단계;
- f) 상기 연자성코어를 포함하는 제 1 절연막의 상부에 제 2 절연막을 형성하는 단계;

및

g) 상기 제 2 절연막의 상부에 상기 제 1 코일과 대응되는 제 2 코일을 형성하는 단계;
를 포함하는 것을 특징으로 하는 자계검출소자 제조방법.

【청구항 7】

제 6 항에 있어서,

상기 웰은 에칭공정을 통하여 그 상부에서 바닥면으로 갈수록 점점 내측으로 경사진 경사측벽을 가지도록 형성되는 것을 특징으로 하는 자계검출소자 제조방법.

【청구항 8】

제 6 항에 있어서, 상기 c) 단계는,

c-1) 상기 웰의 표면에 시드막을 형성하는 단계;

c-2) 상기 시드막 위에 다수의 홈을 가지는 제 1 도금틀을 형성하는 단계;

c-3) 상기 제 1 도금틀의 각 홈에 금속을 채워 넣어 코일선을 형성하는 단계; 및

c-4) 상기 시드막 및 도금틀을 제거하는 단계;를 포함하는 것을 특징으로 하는 자계검출소자 제조방법.

【청구항 9】

제 8 항에 있어서,

상기 c-3) 단계는 전기 도금을 이용하는 것을 특징으로 하는 자계검출소자 제조방법.

【청구항 10】

제 6 항에 있어서, 상기 g) 단계는,

g-1) 상기 연자성코어 양측의 상기 제 1 및 제 2 절연막을 에칭하여 관통홀을 형성하는 단계;

g-2) 상기 관통홀이 형성된 제 2 절연막의 상면에 시드막을 형성하는 단계;

g-3) 상기 시드막 위에 다수의 홈을 가지는 제 2 도금틀을 형성하는 단계;

g-4) 상기 제 2 도금틀의 각 홈에 금속을 채워 넣어 코일선을 형성함과 아울러 상기 관통홀을 통하여 상기 제 1 코일과 제 2 코일을 연결시키는 단계; 및

g-5) 상기 시드막 및 상기 제 2 도금틀을 제거하는 단계;를 포함하는 것을 특징으로 하는 자계검출소자 제조방법.

【청구항 11】

제 10 항에 있어서,

상기 g-4) 단계는, 전기 도금을 이용하는 것을 특징으로 하는 자계검출소자 제조방법.

【청구항 12】

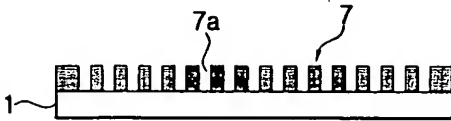
제 6 항에 있어서,

g) 단계후 제 2 코일을 포함하는 구조물의 보호를 위한 보호막을 형성하는 단계를 포함하는 것을 특징으로 하는 자계검출소자 제조방법.

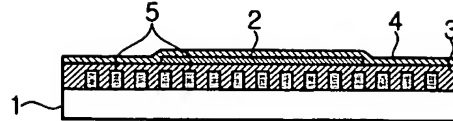
【도면】

【도 1】

(a)



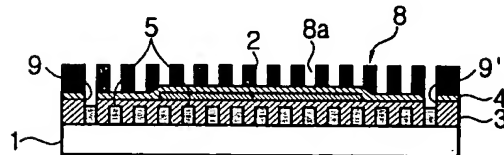
(e)



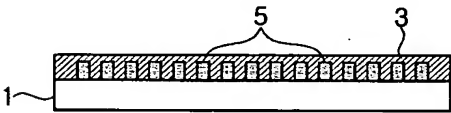
(b)



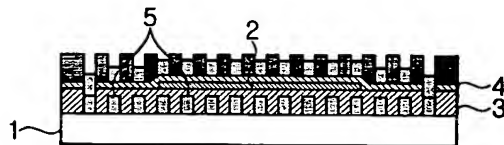
(f)



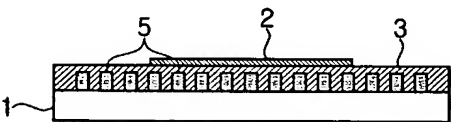
(c)



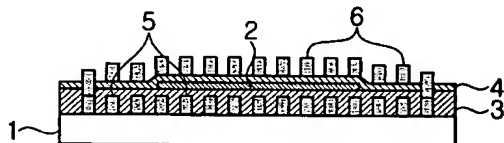
(g)



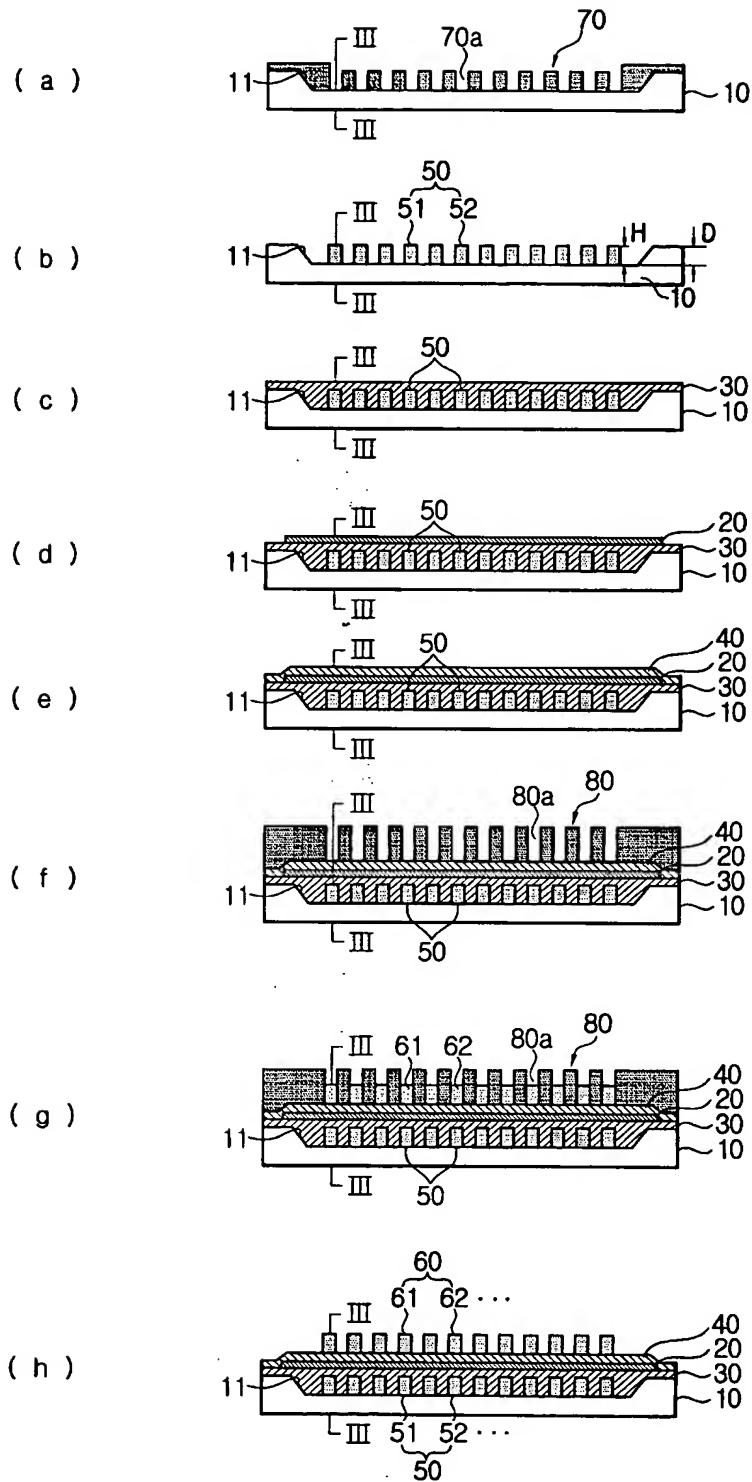
(d)



(h)



【도 2】



【도 3】

